



DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

18698305

Basic Patent (No,Kind,Date): US 20030045043 AA 20030306 <No. of Patents: 003>

Display device (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB (US)

Author (Inventor): KOYAMA JUN (JP)

National Class: \*438200000;

IPC: \*H01L-021/8238;

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
CN 1407796	A	20030402	CN 2002141487	A	20020830
<b>JP 2003076315</b>	A2	20030314	JP 2001263018	A	20010831
US 20030045043	AA	20030306	US 230000	A	20020828 (BASIC)

Priority Data (No,Kind,Date):

JP 2001263018 A 20010831

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

07582472     \*\*Image available\*\*

DISPLAY DEVICE

PUB. NO.:     2003-076315 [JP 2003076315 A]

PUBLISHED:     March 14, 2003 (20030314)

INVENTOR(s): KOYAMA JUN

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.:     2001-263018 [JP 2001263018]

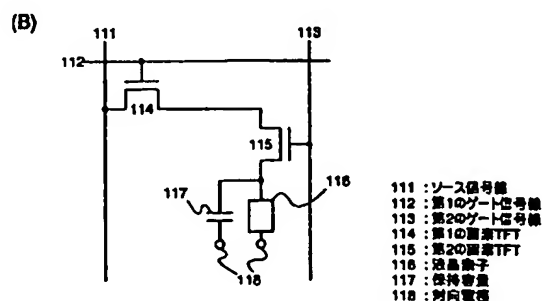
FILED:     August 31, 2001 (20010831)

INTL CLASS:     G09G-003/20; G02F-001/133; G02F-001/1368; G09F-009/00;  
G09F-009/30; G09G-003/30; G09G-003/36; H01L-029/786;  
H04N-005/66

#### ABSTRACT

**PROBLEM TO BE SOLVED:** To provide a display device in which longitudinal and lateral display switching of a screen is possible without using a frame memory.

**SOLUTION:** The device is provided with a source signal line driving circuit 102, a first gate signal line driving circuit 103 and a second gate signal line driving circuit 104. The scanning direction of the circuit 103 is made orthogonal to the scanning direction of the circuit 102 and the scanning direction of the circuit 104 is made perpendicular to the scanning direction of the circuit 103. During a normal display, vertical scanning of the screen is conducted by the circuit 103. Video signals are displayed along the scanning direction of the circuit 103. On the other hand, when the longitudinal and lateral display is to be switched, the vertical scanning of the screen is conducted by the circuit 104. The video signals are displayed along the scanning direction of the circuit 104.



## 【特許請求の範囲】

【請求項 1】ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、複数の画素とを有する表示装置であって、

前記ソース信号線駆動回路と、前記第 1 のゲート信号線駆動回路と、前記第 2 のゲート信号線駆動回路と、前記複数の画素とはいずれも同一基板上に形成され、  
前記第 1 のゲート信号線駆動回路の走査方向と、前記第 2 のゲート信号線駆動回路の走査方向とが直交することを特徴とする表示装置。

【請求項 2】ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、複数の画素とを有する表示装置であって、

前記ソース信号線駆動回路と、前記第 1 のゲート信号線駆動回路と、前記第 2 のゲート信号線駆動回路と、前記複数の画素とはいずれも同一基板上に形成され、

前記複数の画素は、ソース信号線と、第 1 のゲート信号線と、前記第 1 のゲート信号線に直交する第 2 のゲート信号線と、第 1 のトランジスタと、第 2 のトランジスタとを有し、

前記第 1 のトランジスタのゲート電極は、前記第 1 のゲート信号線と電気的に接続され、入力電極は、前記ソース信号線と電気的に接続され、出力電極は、前記第 2 のトランジスタの入力電極と電気的に接続され、  
前記第 2 のトランジスタのゲート電極は、前記第 2 のゲート信号線と電気的に接続されていることを特徴とする表示装置。

【請求項 3】請求項 1 もしくは請求項 2 において、

第 1 の表示を行う際には、前記ソース信号線駆動回路の駆動周波数は、第 1 のゲート信号線駆動回路の駆動周波数よりも高く、

第 2 の表示を行う際には、前記ソース信号線駆動回路の駆動周波数は、第 1 のゲート信号線駆動回路の駆動周波数よりも低いことを特徴とする表示装置。

【請求項 4】第 1 のソース信号線駆動回路と、第 2 のソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、複数の画素とを有する表示装置であって、

前記第 1 のソース信号線駆動回路と、前記第 2 のソース信号線駆動回路と、前記第 1 のゲート信号線駆動回路と、前記第 2 のゲート信号線駆動回路と、前記複数の画素とはいずれも同一基板上に形成され、

前記第 1 のゲート信号線駆動回路の走査方向と、前記第 2 のゲート信号線駆動回路の走査方向とが直交することを特徴とする表示装置。

【請求項 5】第 1 のソース信号線駆動回路と、第 2 のソース信号線駆動回路と、第 1 のソース信号線駆動回路と、第 2 のゲート信号線駆動回路と、複数の画素とを有する表示装置であって、

前記第 1 のソース信号線駆動回路と、前記第 2 のソース

信号線駆動回路と、前記第 1 のゲート信号線駆動回路と、前記第 2 のゲート信号線駆動回路と、前記複数の画素とはいずれも同一基板上に形成され、

前記複数の画素は、第 1 のソース信号線と、第 2 のソース信号線と、第 1 のゲート信号線と、前記第 1 のゲート信号線に直交する第 2 のゲート信号線と、第 1 のトランジスタと、第 2 のトランジスタとを有し、

前記第 1 のトランジスタのゲート電極は、前記第 1 のゲート信号線と電気的に接続され、入力電極は前記第 1 のソース信号線と電気的に接続され、

前記第 2 のトランジスタのゲート電極は、前記第 2 のゲート信号線と電気的に接続され、入力電極は前記第 2 のソース信号線と電気的に接続されていることを特徴とする表示装置。

【請求項 6】請求項 1 乃至請求項 5 のいずれか 1 項において、

第 1 の表示を行う際には、映像は前記第 1 のゲート信号線駆動回路の走査方向に従った向きで表示され、

第 2 の表示を行う際には、映像は前記第 2 のゲート信号線駆動回路の走査方向に従った向きで表示されることを特徴とする表示装置。

【請求項 7】請求項 1 乃至請求項 6 のいずれか 1 項において、

前記複数の画素はそれぞれ、液晶素子もしくは発光素子を有することを特徴とする表示装置。

【請求項 8】請求項 1 乃至請求項 7 のいずれか 1 項に記載の表示装置を用いることを特徴とする電子機器。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶素子、もしくはエレクトロルミネッセンス素子(EL素子)を始めとする発光素子を用いて画素部を構成した表示装置および、そのような表示装置を表示部に用いた電子機器に関する。特に、画素部と、画素部を駆動するための駆動回路とを同一の絶縁表面上に形成してなる表示装置および、そのような表示装置を表示部に用いた電子機器に関する。

【0002】

【従来の技術】近年、ガラス基板等の絶縁体上に半導体薄膜を形成した表示装置、特に薄膜トランジスタ(以下、TFTと表記)を用いた電子回路が各分野で使用されている。特に、表示装置において使用されることが多く、LCD(液晶ディスプレイ)を始めとするアクティブマトリクス型表示装置は、多くの製品に利用され、普及している。TFTを使用したアクティブマトリクス型表示装置は、マトリクス状に配置された数十万から数百万の画素を有し、各画素に配置されたTFTによって各画素の電荷を制御することによって映像の表示を行っている。

【0003】さらに最近の技術として、画素を構成する

画素TFTの他に、画素部の周辺領域にTFTを用いて駆動回路を基板上に同時形成するポリシリコンTFTに関する技術が発展してきており、装置の小型化、低消費電力化に大いに貢献し、それに伴って、近年その応用分野の拡大が著しいモバイル情報端末の表示部等に、表示装置は不可欠なデバイスとなってきた。

【0004】一般的な表示装置の例を図2(A)に示す。図2(A)は、絶縁体上に画素部と駆動回路とが一体形成された液晶表示装置の例である。基板200上の中央部に、画素部201が配置され、画素部201の周辺に10は、ソース信号線駆動回路202、ゲート信号線駆動回路203等が形成されている。なお、図2(A)においては、ゲート信号線駆動回路203は画素部201の左右両側に対称配置されているが、これは片側のみの配置であっても良い。ただし、回路の動作の信頼性や効率等を考えると、図2(A)のように対称配置とするのが好ましい。

【0005】ソース信号線駆動回路202およびゲート信号線駆動回路203に入力される信号は、外部より、フレキシブルプリント基板(Flexible Print Circuit: 20 FPC)204を介して供給される。

【0006】対向基板210には、対向電極等が形成され、シール剤205を介して、ある空隙をもって基板201と貼り合わされる。その後、あらかじめ用意してある注入口より、基板201と対向基板210との空隙に液晶材料を注入し、注入口は封止剤206によって密閉される。

【0007】画素部201は、図2(B)に示すように、m本のソース信号線とn本のゲート信号線とが直交配置されている。図2(B)においては、m本のソース信号線と、n本のゲート信号線とを有している。ソース信号線とゲート信号線の交点にあたる場所(220)に、図2(C)に示すような画素が形成されている。ソース信号線221、ゲート信号線222、画素TFT223、液晶素子224、保持容量225、対向電極226からなる。ここでは、画素数は $m \times n$ 画素である。

【0008】図5を参照し、表示装置の動作について簡単に説明する。一般に、画面のちらつき(フリッカと呼ばれる)が人間の眼に認識されないためには、1秒間に60回程度、画面の描画が行われる。ここで、501で示される期間、すなわち画面を1回描画するのに要する期間を、1フレーム期間と呼ぶ(図5(A))。

【0009】1フレーム期間においては、1行目から順にゲート信号線の選択が行われる。1行あたりの選択期間504を水平期間と表記する。最終行(n行目)の選択が終了するまでの期間503を、ライン走査期間と表記する。その後、垂直帰線期間503を挟んで、次のフレーム期間で同様の操作が行われる(図5(B))。

【0010】1水平期間においては、選択されている行の画素に、ソース信号線より順に映像信号の書き込みが 50

行われる。この期間505を、ドットサンプリング期間と表記する。1つの画素に映像信号を書き込むのに要する期間507を、1ドットサンプリング期間と表記する。1行分の画素において映像信号の書き込みが完了すると、水平帰線期間506を挟んで、次の水平期間で同様の操作が行われる(図5(C))。

【0011】次に、回路の具体的な動作について説明する。図6(A)は、表示装置のソース信号線駆動回路の一構成例であり、フリップフロップ回路601(FF)を複数段用いてなるシフトレジスタ602、NAND603、バッファ604、サンプリングスイッチ605を有している。

【0012】動作の説明に際し、図6(B)を参照する。シフトレジスタ602は、クロック信号(CK)、クロック反転信号(CKb)およびスタートパルス(SP)にしたがって、それぞれ1段目から順次パルスを出力する。

【0013】シフトレジスタ602から出力されたパルスが隣接段で重なりを持つ場合は、NAND603に入力されて、隣接段で重なりを持たないパルスとされる。その後、NAND出力はバッファ604を通り、サンプリングパルスとなる。

【0014】サンプリングパルスがサンプリングスイッチ605に入力されると、サンプリングスイッチ605がONし、その間、映像信号(Video)の電位が、サンプリングスイッチに接続されているソース信号線に充電される。同時に、ゲート信号線が選択されている行の、前述のソース信号線に接続されている1画素に書き込まれる。図6(B)において、610で示される期間が、1ドットサンプリング期間である。

【0015】続いて、図7(A)に示すゲート信号線駆動回路について説明する。シフトレジスタ~バッファ間は、ソース信号線駆動回路とほぼ同様であり、フリップフロップ701を複数段用いてなるシフトレジスタ702、NAND703、バッファ704を有する。

【0016】動作の説明に際し、図7(B)を参照する。シフトレジスタ702は、ソース信号線駆動回路と同様に、クロック信号(CK)、クロック反転信号(CKb)およびスタートパルス(SP)にしたがって、それぞれ1段目から順次パルスを出力する。

【0017】シフトレジスタ702から出力されたパルスが隣接段で重なりを持つ場合は、NAND703に入力されて、隣接段で重なりを持たないパルスとされる。その後、NAND出力はバッファ704を通り、ゲート信号線選択パルスとなる。

【0018】ゲート信号線選択パルスが入力されている行においては、前述のようにソース信号線に書き込まれる映像信号が、それぞれの画素に書き込まれる。図7(B)において、710で示される期間が、1水平期間であり、720で示される期間が、前述の1ドットサンプリング期間である。

【0019】ところで、表示装置は、装置に設置された方向に固定されて使用される場合が一般的であるが、パーソナルコンピュータ等のように、その用途が多機能化している場合、ある用途においては横長なレイアウトで、またある用途においては縦長なレイアウトで表示装置を用いたい場合がある。このような場合、図3(A)に示すように、表示装置の筐体を90°回転させた状態で表示させる方法がある。

【0020】アクティブマトリクス型表示装置の画素部は、図2(B)に示すように、 $m \times n$ 個の画素がマトリクス状に整列しており、映像信号の書き込みは、座標(1, 1)の画素から順に、(1, 2)、(1, 3)、(1, 4)と行われ、(1,  $m$ )に達したところで1水平周期が完了する。これを $n$ 回繰り返して、最終的に座標( $m$ ,  $n$ )の画素への書き込みが完了すると、1画面の書き込みが完了する。

【0021】再び、図3(A)に戻る。横長表示(左)と縦長表示(右)の場合、最初に書き込みが行われる座標(1, 1)の画素は、それぞれ301、302で示される。図3(A)に示すように、横長表示と縦長表示において、同様の画面の表示を行う場合を考えると、映像信号の入力が横長表示に対応したものであるとき、その入力の順序は、左上→右上→・・・→右下の順であるが、この映像信号を用いて縦長表示を行う場合、表示装置自体の書き込みの順序は変わらないため、映像信号の入力の順序を、右上→右下→・・・→左下の順としなければならない。

【0022】しかし、表示装置の縦横表示の切り替えは、フレキシブルに行えることが好ましいため、その都度異なるフォーマットの映像信号を用意するのは効率的ではない。そこで、フレームメモリを用いて、映像信号を一旦メモリに記憶して読み出しを行うことによって表示を行う。

【0023】フレームメモリは、各画素の映像信号を各メモリセルごとに記憶しているため、書き込みの順序に関係なく、任意のアドレスからの読み出しが可能である。フレームメモリに一旦書き込まれた映像信号の読み出しの順序を変えることによって、前述の縦横表示の切り替えを行うことが出来る。

【0024】1フレーム分の映像信号を記憶するフレームメモリは、図3(B)に示すようにそれぞれの記憶回路がアドレスで管理される。よって、映像信号が入力されると、(1, 1)(2, 1)・・・( $m$ , 1)、(1, 2)(2, 2)・・・( $m$ , 2)、・・・、(1,  $n$ )(2,  $n$ )・・・( $m$ ,  $n$ )の順に書き込まれ、横長表示の場合は書き込まれた順序と同じ順序で読み出される。

【0025】一方、縦長表示の場合、図3(A)のように表示したい場合には、( $m$ , 1)( $m$ , 2)・・・( $m$ ,  $n$ )、( $m-1$ , 1)( $m-2$ , 2)・・・( $m-1$ ,  $n$ )、・・・、(1, 1)(1, 2)・・・(1,  $n$ )の順に読み出

される。

【0026】また、フレームメモリは、図4(A)に示すように、一般的には少なくとも2フレーム分設けられ、一方のフレームメモリに書き込みを行っている間は、他のフレームメモリから読み出しを行い、画面の表示を行う。

【0027】このようにすると、表示装置は通常駆動のまま、画面の縦横切り替えを行うことが出来る。ただし、この方法のみによって正常に画面表示が行えるのは、 $m=n$ 、すなわち縦横の画素数が等しいときに限られる。画面の縦横の画素数が異なる表示装置において縦横の表示変換を行う場合は、フォーマット変換を必要とする。

【0028】映像信号は、図4(B)の[i]に示すように、1行目の1画素～ $m$ 画素に書き込まれる映像信号、2行目の1画素～ $m$ 画素に書き込まれる映像信号、・・・と $n$ 本分が集まった構成となっている。この場合、横 $m \times$ 縦 $n$ 画素に対応している。これを縦横の表示切り替えを行うには、図002(B)の[ii]に示すように、横 $n \times$ 縦 $m$ 画素に対応した形に変換する必要がある。これをフォーマット変換という。フォーマット変換自体は公知技術を用いて行えばよいので、その詳細は省略する。

【0029】

【発明が解決しようとする課題】最近、携帯電話等の小型携帯端末においても、様々なソフトウェアが供給され、1つの機器における用途が多様化する傾向にあるため、前述のような縦横表示の切り替え技術が重要となる。

【0030】しかし、フレームメモリは表示装置とは別に、外付けで用意されるのが一般的である。つまり部品点数が増加することとなる。小型携帯端末は、近年特にその小型化が進んでいるため、現状のサイズの端末に、外付けのフレームメモリをさらに追加することは困難である。よって従来の方法で縦横表示の切り替えを行うことは、小型携帯端末向けには望ましくないといえる。

【0031】本発明は前述の課題をかがみ見てなされたものであり、フレームメモリ等の追加をすることなく、縦横の表示切り替えが可能な表示装置を提供するものである。

【0032】

【課題を解決するための手段】本発明の表示装置は、ソース信号線駆動回路と、第1のゲート信号線駆動回路と、第2のゲート信号線駆動回路とを有する。ここで、第2のゲート信号線の走査方向は、第1のゲート信号線駆動回路の走査方向と直交する。

【0033】ここで、走査方向とは、それぞれの駆動回路が制御する信号線の並びに直交する方向であるとする。また、通常表示を第1の表示と表記し、これに対し、画面の縦横を切り替えて表示する場合を、第2の表示と表記する。

【0034】通常表示の際は、画面の垂直走査は第1のゲート信号線駆動回路によって行う。映像は、第1のゲート信号線の走査方向に従った向きで表示される。一方、第2の表示の際には、画面の垂直走査は第2のゲート信号線駆動回路によって行う。映像は、第2のゲート信号線の走査方向に従った向きで表示される。

【0035】本発明の構成を以下に記す。

【0036】本発明の表示装置は、ソース信号線駆動回路と、第1のゲート信号線駆動回路と、第2のゲート信号線駆動回路と、複数の画素とを有する表示装置であって、前記ソース信号線駆動回路と、前記第1のゲート信号線駆動回路と、前記第2のゲート信号線駆動回路と、前記複数の画素とはいずれも同一基板上に形成され、前記第1のゲート信号線駆動回路の走査方向と、前記第2のゲート信号線駆動回路の走査方向とが直交することを特徴としている。

【0037】本発明の表示装置は、ソース信号線駆動回路と、第1のゲート信号線駆動回路と、第2のゲート信号線駆動回路と、複数の画素とを有する表示装置であって、前記ソース信号線駆動回路と、前記第1のゲート信号線駆動回路と、前記第2のゲート信号線駆動回路と、前記複数の画素とはいずれも同一基板上に形成され、前記複数の画素は、ソース信号線と、第1のゲート信号線と、前記第1のゲート信号線に直交する第2のゲート信号線と、第1のトランジスタと、第2のトランジスタとを有し、前記第1のトランジスタのゲート電極は、前記第1のゲート信号線と電気的に接続され、入力電極は、前記ソース信号線と電気的に接続され、出力電極は、前記第2のトランジスタの入力電極と電気的に接続され、前記第2のトランジスタのゲート電極は、前記第2のゲート信号線と電気的に接続されていることを特徴としている。

【0038】上記の本発明の表示装置は、第1の表示を行う際には、前記ソース信号線駆動回路の駆動周波数は、第1のゲート信号線駆動回路の駆動周波数よりも高く、第2の表示を行う際には、前記ソース信号線駆動回路の駆動周波数は、第1のゲート信号線駆動回路の駆動周波数よりも低いことを特徴としている。

【0039】本発明の表示装置は、第1のソース信号線駆動回路と、第2のソース信号線駆動回路と、第1のゲート信号線駆動回路と、第2のゲート信号線駆動回路と、複数の画素とを有する表示装置であって、前記第1のソース信号線駆動回路と、前記第2のソース信号線駆動回路と、前記第1のゲート信号線駆動回路と、前記第2のゲート信号線駆動回路と、前記複数の画素とはいずれも同一基板上に形成され、前記第1のゲート信号線駆動回路の走査方向と、前記第2のゲート信号線駆動回路の走査方向とが直交することを特徴としている。

【0040】本発明の表示装置は、第1のソース信号線駆動回路と、第2のソース信号線駆動回路と、第1のソ

ース信号線駆動回路と、第2のゲート信号線駆動回路と、複数の画素とを有する表示装置であって、前記第1のソース信号線駆動回路と、前記第2のソース信号線駆動回路と、前記第1のゲート信号線駆動回路と、前記第2のゲート信号線駆動回路と、前記複数の画素とはいずれも同一基板上に形成され、前記複数の画素は、第1のソース信号線と、第2のソース信号線と、第1のゲート信号線と、前記第1のゲート信号線に直交する第2のゲート信号線と、第1のトランジスタと、第2のトランジスタとを有し、前記第1のトランジスタのゲート電極は、前記第1のゲート信号線と電気的に接続され、入力電極は前記第1のソース信号線と電気的に接続され、前記第2のトランジスタのゲート電極は、前記第2のゲート信号線と電気的に接続され、入力電極は前記第2のソース信号線と電気的に接続されていることを特徴としている。

【0041】本発明の表示装置は、請求項1乃至請求項4のいずれか1項において、第1の表示を行う際には、映像は前記第1のゲート信号線駆動回路の走査方向に従った向きで表示され、第2の表示を行う際には、映像は前記第2のゲート信号線駆動回路の走査方向に従った向きで表示されることを特徴としている。

【0042】以上の点によって、画面の縦横を切り替える際に、異なるゲート信号線駆動回路を用いて垂直走査を行うことにより、フレームメモリを用いることなく画面の縦横切り替えを可能とする。

【0043】本発明の表示装置は、請求項1乃至請求項6のいずれか1項において、前記複数の画素はそれぞれ、液晶素子もしくは発光素子を有することを特徴としている。

【0044】本発明の表示装置を用いて、液晶ディスプレイ、ELディスプレイ、携帯情報端末、あるいは携帯電話等の電子機器が提供される。

【0045】

【発明の実施の形態】図1(A)は、本発明の一実施形態を示したものである。基板100上には、画素部105、ソース信号線駆動回路102、第1のゲート信号線駆動回路103、および第2のゲート信号線駆動回路104が形成されている。

【0046】画素部105において、101で示される部分を1画素とし、詳細な回路構成を図1(B)に示す。1画素は、ソース信号線111、第1のゲート信号線112、第2のゲート信号線113、第1の画素TFT114、第2の画素TFT115、液晶素子116、保持容量117、対向電極118を有している。

【0047】第1の画素TFT114のゲート電極は、第1のゲート信号線112と電気的に接続され、第1のゲート信号線112に輸入されるパルスによってON、OFFが制御される。第2の画素TFT115のゲート電極は、第2のゲート信号線113と電気的に接続さ

れ、第2のゲート信号線113に入力されるパルスによってON、OFFが制御される。

【0048】ソース信号線111より入力される映像信号は、第1の画素TFT114、および第2の画素TFT115が共にONのときに画素に入力され、保持容量117において電荷が保持される。

【0049】回路の動作について説明する。なお、本明細書においては、画素数を $m \times n$ 画素としているが、映像信号のフォーマット変換についてはその手段を問わないので、説明を簡単にするため、フォーマット変換を必要としないように $m=n$ とした場合を例に挙げて説明する。図1および図8を参照する。

【0050】第1の表示、すなわち通常表示を行う場合、第2のゲート信号線駆動回路は、第2の画素TFT115が全画面にわたってONとなるようにしておく。これにより、画素は第1の画素TFTのON、OFFのみによって制御される。あとは、ソース信号線駆動回路と第1のゲート信号線駆動回路とを従来と同様に駆動することによって映像の表示を行う。図8(A)に示すように、画素の書き込みの順序は、(1, 1)(2, 1)・・・(m, 1)、(1, 2)(2, 2)・・・(m, 2)、・・・、(1, n)(2, n)・・・(m, n)となる。

【0051】次に、第2の表示、すなわち画面の縦横を切り替えた場合について説明する。図8(B)は、図8(A)を時計回りに90°回転させた様子を示している。本発明の表示装置は、フレームメモリを用いないため、映像信号の入力順序は変えない。よって、図8(B)に示す状態での画素への書き込みの順序は、(1, n)(1, n-1)・・・(1, 1)、(2, n)(2, n-1)・・・(2, 1)、・・・、(m, n)(m, n-1)・・・(m, 1)となる。

【0052】よって、第2の表示を行っている間は、ソース信号線駆動回路は通常よりも低速で駆動し、1水平期間づつサンプリングパルスを出力する。これにより、サンプリングスイッチは1水平期間の間開きつづけているので、ソース信号線1本ごとに、1水平期間分の映像信号が連続的に書き込まれていく。一方、第1のゲート信号線駆動回路は、通常よりも高速に駆動し、1ドットサンプリング期間づつ、ゲート信号線選択パルスを出力する。これにより、各画素では、1ドットサンプリング期間だけ第1の画素TFTがONし、そのときの映像信号が書き込まれる。また、第2のゲート信号線駆動回路は、ソース信号線駆動回路と同様の動作をする。つまり、ソース信号線駆動回路からサンプリングパルスが出力されて、ある列のソース信号線に映像信号が入力されているとき、その列の第2のゲート信号線が選択され、選択された第2のゲート信号線に接続されている第2の画素TFTは全てONとなることにより、その列にのみ映像信号の書き込みが許可される。

【0053】以上の動作により、前述のような順序で、

映像信号の画素への書き込みを行うことが出来る。よって、従来必須とされてきたフレームメモリを用いることなく、表示装置の縦横表示切り替えが可能となり、結果として装置全体の部品点数を削減し、小型化が可能となるため、携帯端末等に容易に応用することが出来る。

【0054】

【実施例】以下に、本発明の実施例について記載する。

【0055】【実施例1】実施形態にて示した方法で縦横表示切り替えを行う場合、第1のゲート信号線駆動回路の走査方向に注目する。通常表示の場合、図8(A)に示したように、第1のゲート信号線駆動回路は、1行目から $n$ 行目までのゲート信号線を順に選択、走査していく。これに対して、縦横を切り替えた場合には、図8(B)に示したように、第1のゲート信号線駆動回路は、逆に $n$ 行目から1行目までのゲート信号線を順に選択、走査していく。よって、縦横表示切り替えの際は、第1のゲート信号線駆動回路の走査方向の切り替えが必要となる。

【0056】図9に、走査方向切り替え回路を追加した駆動回路の構成を示す。フリップフロップ901を複数段用いてなるシフトレジスタ902、NAND904、バッファ905に関しては、図7(A)に示した従来例と同様である。走査方向切り替え回路903には、走査方向切り替え信号(UD)、走査方向切り替え反転信号(UDb)が入力され、走査方向切り替え信号(UD)がH、走査方向切り替え反転信号(UDb)がLのとき、ゲート信号線の選択は、 $G_1, G_2, \dots, G_n$ の順であり、走査方向切り替え信号(UD)がL、走査方向切り替え反転信号(UDb)がHのとき、ゲート信号線の選択は、 $G_n, G_{n-1}, \dots, G_1$ の順となる。

【0057】なお、本発明を実施するにあたり、その駆動回路の構成は図6、図7、図9等の構成には限定しない。例えば、シフトレジスタの代わりにデコーダを用いた場合等においても、本発明は実施が可能である。

【0058】【実施例2】本実施例では、実施形態とは異なる方法で、簡単に縦横表示の切り替えを行う場合の例を示す。

【0059】図12(A)に表示装置の構成を示す。基板1200上に画素部1206が形成され、さらに第1のソース信号線駆動回路1202、第1のゲート信号線駆動回路1203、第2のソース信号線駆動回路1204、第2のゲート信号線駆動回路1205が形成されている。ここで、第1のソース信号線駆動回路の走査方向と、第2のソース信号線駆動回路の走査方向とは互いに垂直をなす。また、第1のゲート信号線駆動回路の走査方向と、第2のゲート信号線駆動回路の走査方向とは互いに垂直をなす。

【0060】画素部1206において、1201で示される部分が1画素であり、その構成を図12(B)に示す。1画素は、第1のソース信号線1211、第1のゲ



ート信号線1212、第2のソース信号線1213、第2のゲート信号線1214、第1の画素TFT1215、第2の画素TFT1216、液晶素子1217、保持容量1218、対向電極1219を有する。

【0061】本実施例の場合、ソース信号線、ゲート信号線、画素TFTをそれぞれ2つづつ有するため、液晶素子に映像信号を書き込む経路が独立して2系統ある。第1の表示、すなわち通常表示を行う際には例えば、通常表示の場合には第1のソース信号線駆動回路、第1のゲート信号線駆動回路を動作させることによって第1の画素TFTを制御し、第1のソース信号線1211に入力される映像信号を画素に書き込む。このとき、第2のソース信号線駆動回路、第2のゲート信号線駆動回路は、いずれも動作しないようにしておく。

【0062】一方、第2の表示、すなわち画面の縦横を切り替える際には、第2のソース信号線駆動回路、第2のゲート信号線駆動回路を動作させることによって第2の画素TFTを制御し、第2のソース信号線1213に入力される映像信号を画素に書き込む。このとき、第1のソース信号線駆動回路、第1のゲート信号線駆動回路は、いずれも動作しないようにしておく。

【0063】このように、1画素を2組の駆動回路を交互に用いて制御することにより、容易に縦横の表示切り替えが可能である。

【0064】【実施例3】本発明は、実施形態にて示した液晶表示装置のみならず、EL表示装置を始めとする発光装置においても実施が可能である。図11にその構成を示す。

【0065】基板1100に、画素部1105、ソース信号線駆動回路1102、第1のゲート信号線駆動回路1103、第2のゲート信号線駆動回路1104が形成されている点は、図1に示した液晶表示装置の場合と同様である。さらに、EL素子に電流を供給するためのEL用電源1106が外部よりFPCを介して入力される。

【0066】図11(A)において、1101で示された1画素についての構成を図11(B)に示す。1画素は、ソース信号線1111、第1のゲート信号線1112、第3のゲート信号線1113、第1のスイッチング用TFT1114、第2のスイッチング用TFT1115、EL駆動用TFT1116、EL素子1117、保持容量1118、電流供給線1119を有する。

【0067】第1のスイッチング用TFT1114のゲート電極は、第1のゲート信号線1112と電気的に接続され、第1のゲート信号線1112に入力されるパルスによってON、OFFが制御される。第2のスイッチング用TFT1115のゲート電極は、第2のゲート信号線1113と電気的に接続され、第2のゲート信号線1113に入力されるパルスによってON、OFFが制御される。

【0068】ソース信号線1111より入力される映像信号は、第1のスイッチング用TFT1114、および第2のスイッチング用TFT1115が共にONのときに、EL駆動用TFT1116のゲート電極に入力され、保持容量1118において電荷が保持される。

【0069】駆動タイミング等については、実施形態と同様のアナログ点順次駆動で良いので、ここでは説明を省略する。

【0070】【実施例4】高解像度、大画面の表示装置においては、一定期間内により多くの画素を駆動する必要がある。従来の駆動方法では駆動周波数が高くなるため、分割駆動が採用される場合が多い。

【0071】図14は、分割駆動を行う場合のソース信号線駆動回路の構成例を示しており、フリップフロップ1401を複数段用いてなるシフトレジスタ1402、NAND1403、バッファ1404、サンプリングスイッチ1405等を有する。

【0072】図6に示した回路は、1つのサンプリングパルスによって1度に1画素への映像信号の書き込みが行われるのに対し、図14に示した回路は、映像信号を並列に4本入力し、1つのサンプリングパルスによって1度に4画素への映像信号の書き込みを行う。このようにすると、画素数が同じ従来の表示装置と比較して、ソース信号線駆動回路の駆動周波数を(1/分割数)に抑えることが出来る。図14の場合は、4点同時サンプリングを行うので、分割数は4分割であり、ソース信号線駆動回路の駆動周波数を1/4に抑えることが出来る。

【0073】本実施例においては、このような分割駆動を行う表示装置において、縦横表示の切り替えを行う方法について説明する。

【0074】図15を参照する。図15(A)は、4分割駆動を行うソース信号線駆動回路を有する表示装置の、通常表示時の書き込み順序を示している。4本のビデオ信号線から、同時に4画素分のサンプリングを行い、最初のサンプリングパルスで(1, 1)(2, 1)(3, 1)(4, 1)の4画素に同時に書き込まれる。続いて、次のサンプリングパルスで(5, 1)(6, 1)(7, 1)(8, 1)の4画素に同時に書き込まれる。

【0075】よって、各ビデオ信号線(Video1~Video4)に入力される映像信号の入力順序は図15(C)に示すようになる。

【0076】図15(B)は、図15(A)に示した表示装置の縦横表示を切り替えた場合の書き込み順序を示している。通常表示の場合、横方向に並んだ4点で同時サンプリングが行われるのに対し、縦横を切り替えた場合、縦方向に並んだ4点で同時サンプリングが行われる。

【0077】通常表示の場合、最初に同時に書き込まれる画素は、(1, 1)(2, 1)(3, 1)(4, 1)の4画素であったが、縦横を切り替えた場合、最初に同時に書き込まれる画素は、(1, n)(2, n)(3, n)(4, n)の

4画素である。

【0078】このとき、それら4画素に書き込まれるべき映像信号は、通常表示の場合に(1, 1)(1, 2)(1, 3)(1, 4)の4画素に書き込まれるべき映像信号である。

【0079】よって、縦横の表示を切り替える場合、各ビデオ信号線(Video1~Video4)に入力される映像信号の入力順序は図15(D)に示すようになる。

【0080】この場合、4水平周期分の映像信号の並べ替えを行う手順が必要なため、4水平周期分の映像信号を記憶するメモリを必要とするが、従来のようにフレームメモリを必要とする場合と比較しても、その記憶容量は極めて小さくて済む。

【0081】以上のようにして、分割駆動を行う表示装置においても、本発明を実施することが可能である。

【0082】[実施例5]本実施例においては、同一基板上に画素部および画素部の周辺に設ける駆動回路のTFT(Nチャネル型TFT及びPチャネル型TFT)を同時に作製する方法について詳細に説明する。

【0083】図16を参照する。まず、基板5001上に下地絶縁膜5002を形成し、結晶構造を有する第1の半導体膜を得た後、所望の形状にエッチング処理して島状に分離された半導体層5003~5006を形成する。

【0084】本実施例においては、基板5001としてガラス基板(#1737基板)を用い、下地絶縁膜5002としては、プラズマCVD法で成膜温度400[℃]、原料ガスSiH<sub>4</sub>、NH<sub>3</sub>、N<sub>2</sub>Oから作製される酸化窒化シリコン膜5002a(組成比Si=32[%]、O=27[%]、N=24[%]、H=17[%])を50[nm](好ましくは10~200[nm])形成する。次いで、表面をオゾン水で洗浄した後、表面の酸化膜を希フッ酸(1/100希釈)で除去する。次いでプラズマCVD法で成膜温度400[℃]、原料ガスSiH<sub>4</sub>、N<sub>2</sub>Oから作製される酸化窒化水素化シリコン膜5002b(組成比Si=32[%]、O=59[%]、N=7[%]、H=2[%])を100[nm](好ましくは50~200[nm])の厚さに積層形成し、さらに大気解放せずにプラズマCVD法で成膜温度300[℃]、成膜ガスSiH<sub>4</sub>で非晶質構造を有する半導体膜(ここではアモルファスシリコン膜)を54

【0085】本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。また、半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(Si<sub>1-x</sub>Ge<sub>x</sub> (X=0.0001~0.02))合金などを用い、公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により形成すればよい。また、プラズマCVD装置は、枚葉式の装置でもよいし、バッチ式の装置でもよい。また、同一の成膜室

で大気に触れることなく下地絶縁膜と半導体膜とを連続成膜してもよい。

【0086】次いで、非晶質構造を有する半導体膜の表面を洗浄した後、オゾン水で表面に約2[nm]のごく薄い酸化膜(図示せず)を形成する。次いで、TFTのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行う。ここでは、ジボラン(B<sub>2</sub>H<sub>6</sub>)を質量分離しないでプラズマ励起したイオンドーピング法を用い、ドーピング条件を加速電圧15[kV]、ジボランを水素で1[%]に希釈したガス流量30[sccm]、ドーズ量 $2 \times 10^{11}$  [atoms/cm<sup>2</sup>]で非晶質シリコン膜にボロンを添加した。

【0087】次いで、重量換算で10[ppm]のニッケルを含む酢酸ニッケル塩溶液をスピナーで塗布する。塗布に代えてスパッタ法でニッケル元素を全面に散布する方法を用いてもよい。

【0088】次いで、加熱処理を行い結晶化させて結晶構造を有する半導体膜を形成する。この加熱処理は、電気炉の熱処理または強光の照射を用いればよい。電気炉の熱処理で行う場合は、500[℃]~650[℃]で4~24時間で行えばよい。ここでは脱水素化のための熱処理(500[℃]、1時間)の後、結晶化のための熱処理(550[℃]、4時間)を行って結晶構造を有するシリコン膜を得る。なお、ここでは炉を用いた熱処理を用いて結晶化を行ったが、ランプアニール装置で結晶化を行ってもよい。なお、ここではシリコンの結晶化を助長する金属元素としてニッケルを用いた結晶化技術を用いたが、他の公知の結晶化技術、例えば固相成長法やレーザー結晶化法を用いてもよい。

【0089】次いで、結晶構造を有するシリコン膜表面の酸化膜を希フッ酸等で除去した後、結晶化率を高め、結晶粒内に残される欠陥を補修するための第1のレーザー光(XeCl:波長308[nm])の照射を大気中、または酸素雰囲気中で行う。レーザー光には波長400[nm]以下のエキシマレーザー光や、YAGレーザーの第2高調波、第3高調波、またはCWレーザーを用いる。いずれにしても、繰り返し周波数10~1000[Hz]程度のパルスレーザー光を用い、当該レーザー光を光学系にて100~500[mJ/cm<sup>2</sup>]に集光し、90~95[%]のオーバーラップ率をもって照射し、シリコン膜表面を走査させればよい。ここでは、繰り返し周波数30Hz、エネルギー密度393[mJ/cm<sup>2</sup>]で第1のレーザー光の照射を大気中で行う。なお、大気中、または酸素雰囲気中で行うため、第1のレーザー光の照射により表面に酸化膜が形成される。

【0090】次いで、第1のレーザー光の照射により形成された酸化膜を希フッ酸で除去した後、第2のレーザー光の照射を酸素雰囲気、或いは真空中で行い、半導体膜表面を平坦化する。このレーザー光(第2のレーザー光)には波長400[nm]以下のエキシマレーザー光や、

YAGレーザーの第2高調波、第3高調波、またはCWレーザーを用いる。第2のレーザー光のエネルギー密度は、第1のレーザー光のエネルギー密度より大きく(好ましくは30~60[mJ/cm<sup>2</sup>]大きく)する。ここでは、繰り返し周波数30[Hz]、エネルギー密度453[mJ/cm<sup>2</sup>]で第2のレーザー光の照射を行い、半導体膜表面における凹凸のP-V値が5[nm]以下となる。

【0091】また、本実施例では第2のレーザー光の照射を全面に行ったが、オフ電流の低減は、画素部のTF-Tに特に効果があるため、少なくとも画素部のみに選択的に照射する工程としてもよい。また、1回のレーザー照射のみによる処理であってもよい。

【0092】次いで、オゾン水で表面を120秒処理して合計1~5[nm]の酸化膜からなるバリア層(図示せず)を形成する。

【0093】次いで、バリア層上にスパッタ法にてゲッタリングサイトとなるアルゴン元素を含む非晶質シリコン膜を膜厚150[nm]で形成する。本実施例のスパッタ法による成膜条件は、成膜圧力を0.3[Pa]とし、ガス(Ar)流量を50[sccm]とし、成膜パワーを3[kW]とし、基板温度を150[°C]とする。なお、上記条件での非晶質シリコン膜に含まれるアルゴン元素の原子濃度は、 $3 \times 10^{19} \sim 6 \times 10^{19}$  [atoms/cm<sup>3</sup>]、酸素の原子濃度は $1 \times 10^{19} \sim 3 \times 10^{19}$  [atoms/cm<sup>3</sup>]である。その後、ランプアニール装置を用いて650[°C]、3分の熱処理を行いゲッタリングする。

【0094】次いで、バリア層をエッチングストッパーとして、ゲッタリングサイトであるアルゴン元素を含む非晶質シリコン膜を選択的に除去した後、バリア層を希フッ酸で選択的に除去する。なお、ゲッタリングの際、ニッケルは酸素濃度の高い領域に移動しやすい傾向があるため、酸化膜からなるバリア層をゲッタリング後に除去することが望ましい。

【0095】次いで、得られた結晶構造を有するシリコン膜(ポリシリコン膜とも呼ばれる)の表面にオゾン水で薄い酸化膜を形成した後、レジストからなるマスクを形成し、所望の形状にエッチング処理して島状に分離された半導体層5003~5006を形成する。半導体層を形成した後、レジストからなるマスクを除去する。

【0096】次いで、フッ酸を含むエッチャントで酸化膜を除去すると同時にシリコン膜の表面を洗浄した後、ゲート絶縁膜5007となる珪素を主成分とする絶縁膜を形成する。本実施例では、プラズマCVD法により115[nm]の厚さで酸化窒化シリコン膜(組成比Si=32[%]、O=59[%]、N=7[%]、H=2[%])で形成する。

【0097】次いで、ゲート絶縁膜5007上に膜厚20~100[nm]の第1の導電膜5008と、膜厚100~400[nm]の第2の導電膜5009とを積層形成する。本実施例では、ゲート絶縁膜5007上に膜厚50

[nm]の窒化タンタル(TaN)膜、膜厚370[nm]のタングステン(W)膜を順次積層する(図16(A))。

【0098】第1の導電膜及び第2の導電膜を形成する導電性材料としてはTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成する。また、第1の導電膜及び第2の導電膜としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜や、AgPdCu合金を用いてもよい。また、2層構造に限定されず、例えば、膜厚50[nm]のタングステン膜、膜厚500[nm]のアルミニウムとシリコンの合金(Al-Si)膜、膜厚30[nm]の窒化チタン膜を順次積層した3層構造としてもよい。また、3層構造とする場合、第1の導電膜のタングステンに代えて窒化タングステンを用いてもよいし、第2の導電膜のアルミニウムとシリコンの合金(Al-Si)膜に代えてアルミニウムとチタンの合金膜(Al-Ti)を用いてもよいし、第3の導電膜の窒化チタン膜に代えてチタン膜を用いてもよい。また、単層構造であってもよい。

【0099】次に、図16(B)に示すように光露光工程によりレジストからなるマスク5010を形成し、ゲート電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。エッチングにはICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いると良い。ICPエッチング法を用い、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節することによって所望のテーパ形状に膜をエッチングすることができる。なお、エッチング用ガスとしては、Cl<sub>2</sub>、BCl<sub>3</sub>、SiCl<sub>4</sub>、CCl<sub>4</sub>などを代表とする塩素系ガスまたはCF<sub>4</sub>、SF<sub>6</sub>、NF<sub>3</sub>などを代表とするフッ素系ガス、またはO<sub>2</sub>を適宜用いることができる。

【0100】本実施例では、基板側(試料ステージ)にも150[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパ形状とする。第1のエッチング条件でのWに対するエッチング速度は200.39[nm/min]、Ta<sub>2</sub>N<sub>5</sub>に対するエッチング速度は80.32[nm/min]であり、Ta<sub>2</sub>N<sub>5</sub>に対するWの選択比は約2.5である。また、この第1のエッチング条件によって、Wのテーパ角は、約26°となる。この後、レジストからなるマスク5010を除去せずに第2のエッチング条件に変え、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>とを用い、それぞれのガス流量比を30/30[sccm]とし、1.0[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側(試料ステージ)にも20

[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub>とC<sub>1</sub>I<sub>2</sub>を混合した第2のエッチング条件ではW膜及びTa<sub>2</sub>N膜とも同程度にエッチングされる。第2のエッチング条件でのWに対するエッチング速度は58.97[nm/min]、Ta<sub>2</sub>Nに対するエッチング速度は66.43[nm/min]である。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20[%]程度の割合でエッチング時間を増加させるとよい。

【0101】上記第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15~45°とすればよい。

【0102】こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011~5016(第1の導電層5011a~5016aと第2の導電層5011b~5016b)を形成する。ゲート絶縁膜となる絶縁膜5007において、第1の形状の導電層5011~5016で覆われない領域は10~20[nm]程度エッチングされて薄くなる。

【0103】次いで、レジストからなるマスクを除去せずに第2のエッチング処理を行う。ここでは、エッチング用ガスにSF<sub>6</sub>とC<sub>1</sub>I<sub>2</sub>とO<sub>2</sub>とを用い、それぞれのガス流量比を24/12/24[sccm]とし、1.3[Pa]の圧力でコイル型の電極に700[W]のRF(13.56[MHz])電力を投入してプラズマを生成してエッチングを25秒行なった。基板側(試料ステージ)にも10[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング処理でのWに対するエッチング速度は227.3[nm/min]、Ta<sub>2</sub>Nに対するエッチング速度は32.1[nm/min]であり、Ta<sub>2</sub>Nに対するWの選択比は7.1であり、ゲート絶縁膜5007であるSiONに対するエッチング速度は33.7[nm/min]であり、SiONに対するWの選択比は6.83である。このようにエッチングガス用ガスにSF<sub>6</sub>を用いた場合、ゲート絶縁膜5007との選択比が高いので膜減りを抑えることができる。本実施例ではゲート絶縁膜5007において約8[nm]しか膜減りが起きない。

【0104】この第2のエッチング処理によりWのテーパ角は70°となった。この第2のエッチング処理により第2の形状の導電層5017~5022を形成する。このとき、第1の導電層はほとんどエッチングされず、第1の導電層5017a~5022aとなる。なお、第1の導電層5017a~5022aは、第1の導電層5011a~5016aとほぼ同一サイズである。実際には第2のエッチング処理によって、第1の導電層の幅は、第2のエッチング処理前に比べて約0.3[μm]程度、即ち線幅全体で0.6[μm]程度後退する場合

もあるがほとんどサイズに変化がない。

【0105】また、2層構造に代えて、膜厚50[nm]のタングステン膜、膜厚500[nm]のアルミニウムとシリコンの合金(Al-Si)膜、膜厚30[nm]の窒化チタン膜を順次積層した3層構造とした場合、第1のエッチング処理の第1のエッチング条件としては、BCI<sub>3</sub>とC<sub>1</sub>I<sub>2</sub>とO<sub>2</sub>とを原料ガスに用い、それぞれのガス流量比を65/10/5[sccm]とし、基板側(試料ステージ)に300[W]のRF(13.56[MHz])電力を投入し、1.2[Pa]の圧力でコイル型の電極に450[W]のRF(13.56[MHz])電力を投入してプラズマを生成して117秒のエッチングを行えばよく、第1のエッチング処理の第2のエッチング条件としては、CF<sub>4</sub>とC<sub>1</sub>I<sub>2</sub>とO<sub>2</sub>とを用い、それぞれのガス流量比を25/25/10[sccm]とし、基板側(試料ステージ)にも20[W]のRF(13.56[MHz])電力を投入し、1.0[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して約30秒程度のエッチングを行えばよく、第2のエッチング処理としてはBCI<sub>3</sub>とC<sub>1</sub>I<sub>2</sub>を用い、それぞれのガス流量比を20/60[sccm]とし、基板側(試料ステージ)には100[W]のRF(13.56[MHz])電力を投入し、1.2[Pa]の圧力でコイル型の電極に600[W]のRF(13.56[MHz])電力を投入してプラズマを生成してエッチングを行えばよい。

【0106】次いで、レジストからなるマスクを除去した後、第1のドーピング処理を行って図16(D)の状態を得る。ドーピング処理はイオンドーブ法、もしくはイオン注入法で行えば良い。イオンドーブ法の条件はドーブ量を1.5×10<sup>14</sup>[atoms/cm<sup>2</sup>]とし、加速電圧を60~100[keV]として行う。N型を付与する不純物元素として、典型的にはリン(P)または砒素(As)を用いる。この場合、第1の導電層及び第2の導電層5017~5021がN型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5023~5026が形成される。第1の不純物領域5023~5026には1×10<sup>14</sup>~1×10<sup>17</sup>[atoms/cm<sup>2</sup>]の濃度範囲でN型を付与する不純物元素を添加する。ここでは、第1の不純物領域と同じ濃度範囲の領域をN--領域とも呼ぶ。

【0107】なお、本実施例ではレジストからなるマスクを除去した後、第1のドーピング処理を行ったが、レジストからなるマスクを除去せずに第1のドーピング処理を行ってもよい。

【0108】次いで、図17(A)に示すようにレジストからなるマスク5027を形成し第2のドーピング処理を行う。第2のドーピング処理におけるイオンドーブ法の条件はドーブ量を1.5×10<sup>14</sup>[atoms/cm<sup>2</sup>]とし、加速電圧を60~100[keV]としてリン(P)をドーピングする。ここでは、第2の導電層5017b~5022

1 b をマスクとして各半導体層に不純物領域が自己整合的に形成される。勿論、マスク 5027 で覆われた領域には添加されない。こうして、第 2 の不純物領域 5028、5029 と、第 3 の不純物領域 5030 が形成される。第 2 の不純物領域 5028、5029 には  $1 \times 10^{10} \sim 1 \times 10^{11}$  [atoms/cm<sup>3</sup>] の濃度範囲で N 型を付与する不純物元素を添加されている。ここでは、第 2 の不純物領域と同じ濃度範囲の領域を N' 領域とも呼ぶ。

【0109】また、第 3 の不純物領域は第 1 の導電層 5017 a により第 2 の不純物領域よりも低濃度に形成され、 $1 \times 10^{10} \sim 1 \times 10^{11}$  [atoms/cm<sup>3</sup>] の濃度範囲で N 型を付与する不純物元素を添加されることになる。なお、第 3 の不純物領域は、テーパー形状である第 1 の導電層 5017 a の部分を通過させてドーピングを行うため、テーパー部の端部に向かって不純物濃度が増加する濃度勾配を有している。ここでは、第 3 の不純物領域と同じ濃度範囲の領域を N' 領域とも呼ぶ。また、マスク 5027 で覆われた領域 5031 は、第 2 のドーピング処理で不純物元素が添加されず、第 1 の不純物領域がそのまま残される。

【0110】次いで、レジストからなるマスク 5027 を除去した後、新たにレジストからなるマスク 5032 を形成して図 17 (B) に示すように第 3 のドーピング処理を行う。

【0111】駆動回路において、上記第 3 のドーピング処理により、P チャネル型 TFT を形成する半導体層および保持容量を形成する半導体層に P 型の導電型を付与する不純物元素が添加された第 4 の不純物領域 5033、5034 及び第 5 の不純物領域 5035、5036 を形成する。

【0112】また、第 4 の不純物領域 5033、5034 には  $1 \times 10^{10} \sim 1 \times 10^{11}$  [atoms/cm<sup>3</sup>] の濃度範囲で P 型を付与する不純物元素が添加されるようにする。尚、第 4 の不純物領域 5033、5034 は、当初は先の工程でリン (P) が添加された領域 (n--領域) となっているが、P 型を付与する不純物元素の濃度がその 1.5 ～ 3 倍添加されていて導電型は P 型となっている。ここでは、第 4 の不純物領域と同じ濃度範囲の領域を P' 領域とも呼ぶ。

【0113】また、第 5 の不純物領域 5035、5036 は第 2 の導電層 5018 a、5021 a のテーパー部と重なる領域に形成されるものであり、 $1 \times 10^{10} \sim 1 \times 10^{11}$  [atoms/cm<sup>3</sup>] の濃度範囲で P 型を付与する不純物元素が添加されるようにする。ここでは、第 5 の不純物領域と同じ濃度範囲の領域を P' 領域とも呼ぶ。

【0114】以上までの工程でそれぞれの半導体層に N 型または P 型の導電型を有する不純物領域が形成される。導電層 5017 ～ 5020 は TFT のゲート電極となる。また、導電層 5021 は画素部において保持容量を形成する一方の電極となる。さらに、導電層 5022

は画素部においてソース信号線を形成する。

【0115】次いで、ほぼ全面を覆う絶縁膜 (図示せず) を形成する。本実施例では、プラズマ CVD 法により膜厚 50 [nm] の酸化シリコン膜を形成した。勿論、この絶縁膜は酸化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0116】次いで、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程は、ランプ光源を用いたラビッドサーマルアニール法 (RTA 法)、或いは YAG レーザーまたはエキシマレーザーを裏面から照射する方法、或いは炉を用いた熱処理、或いはこれらの方法のうち、いずれかと組み合わせた方法によって行う。

【0117】また、本実施例では、上記活性化の前に絶縁膜を形成した例を示したが、上記活性化を行った後、絶縁膜を形成する工程としてもよい。

【0118】次いで、窒化シリコン膜からなる第 1 の層間絶縁膜 5037 を形成して熱処理 (300 ～ 550 [°C] で 1 ～ 12 時間の熱処理) を行い、半導体層を水素化する工程を行う (図 17 (C))。この工程は第 1 の層間絶縁膜 5037 に含まれる水素により半導体層のダングリングボンドを終端する工程である。酸化シリコン膜からなる絶縁膜 (図示しない) の存在に関係なく半導体層を水素化することができる。ただし、第 2 の導電層としてアルミニウムを主成分とする材料を用いている場合には、水素化する工程において第 2 の導電層が耐え得る熱処理条件とすることが重要である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

【0119】次いで、第 1 の層間絶縁膜 5037 上に有機絶縁物材料から成る第 2 の層間絶縁膜 5038 を形成する。本実施例では膜厚 1.6 [μm] のアクリル樹脂膜を形成する。次いで、各電極もしくは不純物領域に達するコンタクトホールを開口する。本実施例では複数のエッチング処理を順次行う。本実施例では第 1 の層間絶縁膜 5037 をエッチングストッパーとして第 2 の層間絶縁膜 5038 をエッチングした後、絶縁膜 (図示しない) をエッチングストッパーとして第 1 の層間絶縁膜 5037 をエッチングしてから絶縁膜 (図示しない) をエッチングした。

【0120】その後、Al、Ti、Mo、W などを用いて配線及び画素電極を形成する。これらの電極及び画素電極の材料は、Al または Ag を主成分とする膜、またはそれらの積層膜等で反射性に優れた材料を用いることが望ましい。こうして、配線 5039 ～ 5042、画素電極 5043、ゲート信号線 5044 が形成される。

【0121】以上の様にして、N チャネル型 TFT、P チャネル型 TFT を有する駆動回路と、N チャネル型 TFT からなる画素 TFT、保持容量とを有する画素部と

を同一基板上に形成することができる(図17(D))。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0122】図17(D)に示したアクティブマトリクス基板において、Nチャネル型TFTは2種類の構造を有している。1つは、駆動回路のNチャネル型TFTに見られるような、ゲート電極に重なる第3の不純物領域を有するGOLD構造、もう1つは、画素TFTに見られるような、ゲート電極に重ならない第1の不純物領域を有するLDD構造である。

【0123】前者は、ホットキャリア劣化等の抑制に有効な構造であり、特に動作に信頼性が求められる箇所に適している。後者は、オフ電流のリーク低減に有効な構造であり、負のバイアス電圧が印加される機会の多い回路や、画素部を制御する回路等に適している。

【0124】一方、対向基板5045を用意する。対向基板側には、透明導電膜でなる対向電極5046を形成する。

【0125】続いて、アクティブマトリクス基板および対向基板に、それぞれ配向膜5047、5048を形成し、ラビング処理を行う。なお、本実施例においては、配向膜5048をアクティブマトリクス基板側に形成する前に、アクリル樹脂等の有機樹脂膜を用いて、基板間の空隙を確保するための柱状スペーサ(図示せず)を所望の位置に形成した。また、柱状スペーサに代えて、球状のスペーサを基板全面に散布しても良い。

【0126】そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材(図示せず)で貼り合わせる。シール材にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な空隙を持って2枚の基板が貼り合わせられる。その後、両基板間の空隙に液晶材料5049を注入し、封止剤(図示せず)によって完全に封止する。液晶材料5049には公知の液晶材料を用いれば良い。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、公知の技術を用いて偏光板等を適宜設けた。そして、公知の技術を用いてFPCを貼り付ける。このようにして図18(A)に示すアクティブマトリクス型液晶表示装置が完成する。

【0127】なお、本実施例においては液晶表示装置の作製方法について説明したが、特に本発明を液晶表示装置のみへの用途に限定するものではない。EL素子等を用いた発光装置を作製する際にも、アクティブマトリクス基板の作製は、図16～図17に示した本実施例の方法に従えば良い。以後、アクティブマトリクス基板上に陽極、正孔輸送層、発光層、電子注入層、陰極等であるEL素子を形成すれば、アクティブマトリクス型の発光装置を作製することが出来る。

【0128】[実施例6]本発明は、様々な電子機器に用いられている表示装置の作製に適用が可能である。この

ような電子機器には、ディスプレイ装置、携帯情報端末(電子手帳、モバイルコンピュータ、携帯電話等)、携帯電話等が挙げられる。それらの一例を図13に示す。

【0129】図13(A)は液晶ディスプレイもしくはELディスプレイであり、筐体3001、支持台3002、表示部3003等を有している。本発明は表示部3001に適用が可能である。また、このような卓上据付型のディスプレイにおいて縦横表示切り替えを行う場合には、支持台3002への筐体3001の取り付け部に回転機構を設け、筐体3001自体を回転可能にすると良い。

【0130】図13(B)は、携帯情報端末であり、本体3031、スタイラス3032、表示部3033、操作ボタン3034、外部インターフェイス3035等を有している。本発明は表示部3033に適用が可能である。

【0131】図13(C)は、携帯電話であり、本体3061、音声出力部3062、音声入力部3063、表示部3064、操作ボタン3065、アンテナ3066等を有している。本発明は表示部3064に適用が可能である。

【0132】なお、本実施例に示した例はごく一例であり、これらの用途に限定するものではないことを付記する。

【発明の効果】本発明により、画面表示の縦横切り替えをフレームメモリ等を用いることなく容易に行うことが可能な表示装置の提供が可能となる。よって、部品点数の限られる小型携帯端末等にも、容易に適用が可能となる。

#### 【図面の簡単な説明】

【図1】 本発明の一実施形態を示す図。

【図2】 従来用いられている表示装置の概要を示す図。

【図3】 縦横表示の切り替えの様子を説明する図。

【図4】 縦横表示の切り替えにフレームメモリを用いる場合の処理の流れ、およびフォーマット変換について示す図。

【図5】 表示装置を駆動する際のタイミングについて説明する図。

【図6】 ソース信号線駆動回路の構成およびタイミングチャートを示す図。

【図7】 ゲート信号線駆動回路の構成およびタイミングチャートを示す図。

【図8】 通常表示と縦横切り替え表示における、映像信号の書き込み順を説明する図。

【図9】 走査方向切り替え回路を有するゲート信号線駆動回路の構成を示す図。

【図10】 縦横表示を切り替えた場合に表示装置を駆動する際のタイミングについて説明する図。

【図11】 本発明をEL表示装置に適用する場合の



構成を示す図。

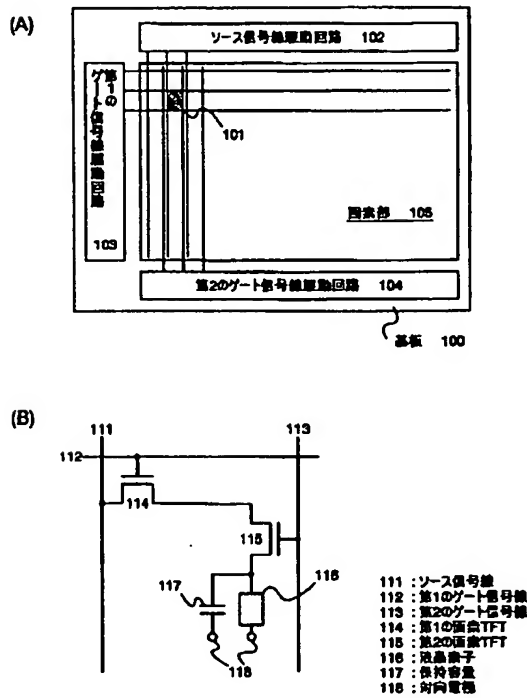
【図 12】 本発明の一実施例である、独立した 2 組の駆動回路を有する表示装置の構成を示す図。

【図 13】 本発明の適用が可能な電子機器の一例を示す図。

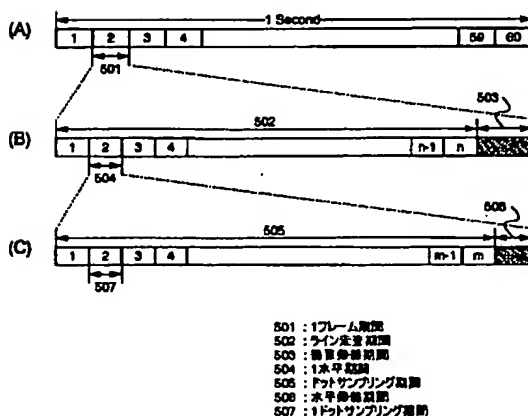
【図 14】 分割駆動を行う場合のソース信号線駆動回路の構成を示す図。

【図 15】 分割駆動を行う表示装置において本発明

【図 1】



【図 5】



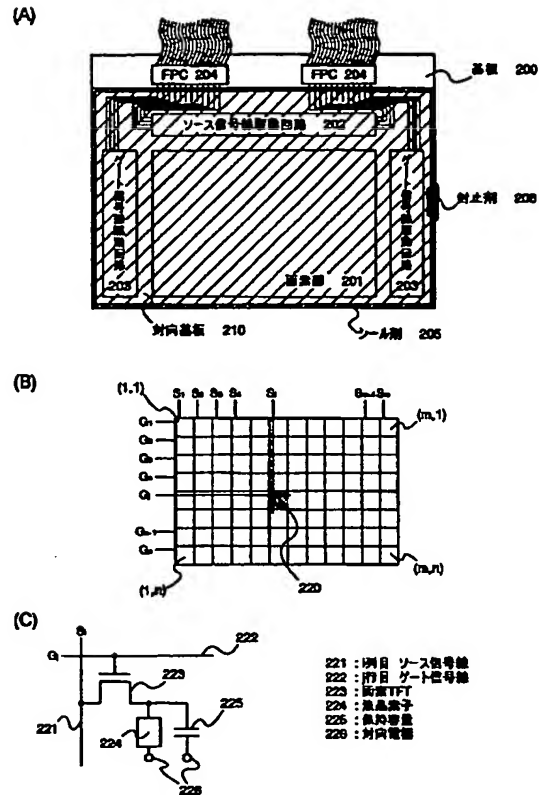
を実施する場合の表示と映像信号の入力順序について説明する図。

【図 16】 アクティブマトリクス型液晶表示装置の作製工程例を示す図。

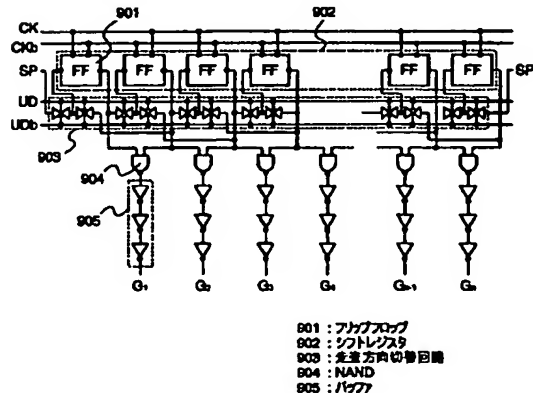
【図 17】 アクティブマトリクス型液晶表示装置の作製工程例を示す図。

【図 18】 アクティブマトリクス型液晶表示装置の作製工程例を示す図。

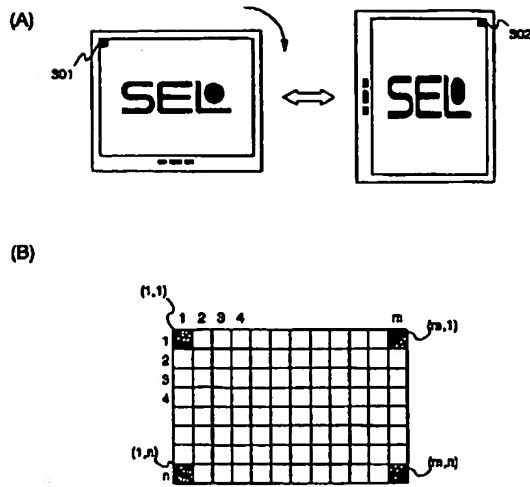
【図 2】



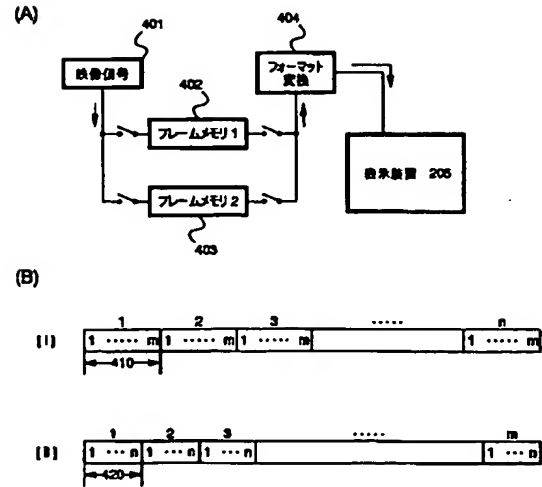
【図 9】



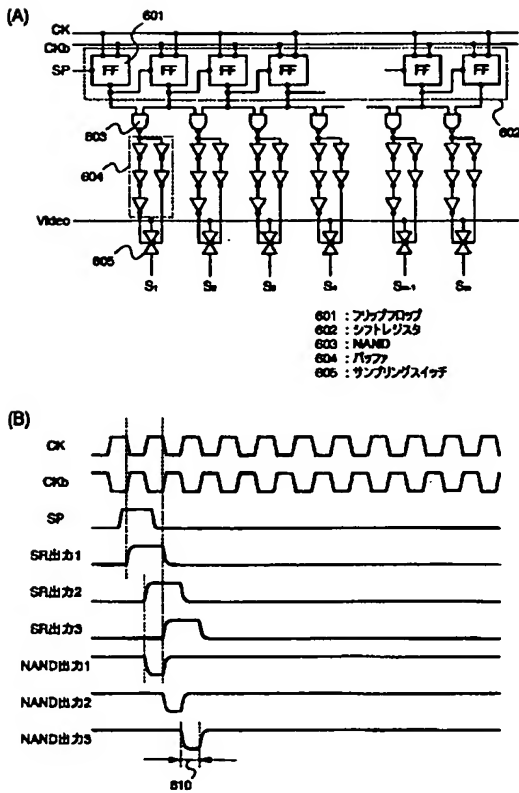
【図3】



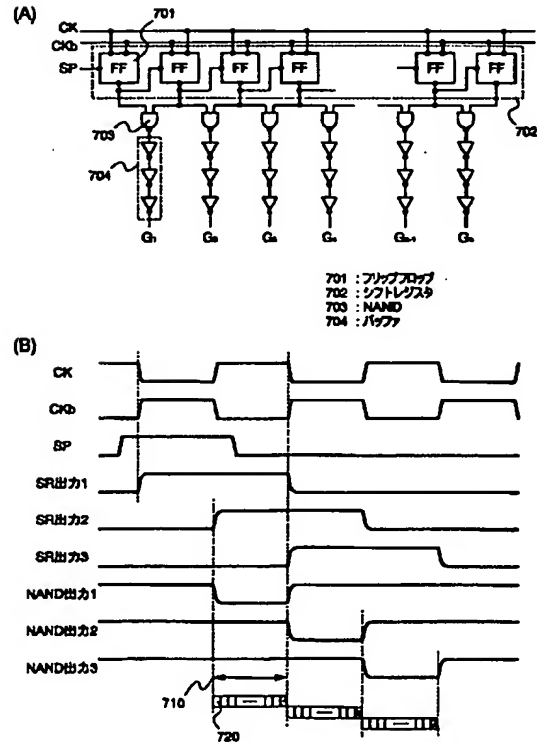
【図4】



【図6】

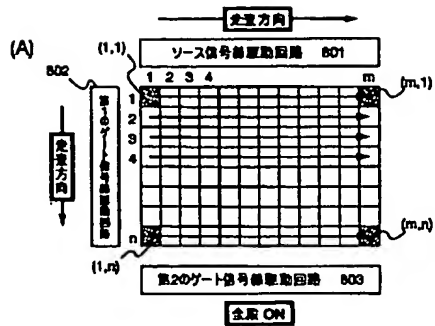


【図7】

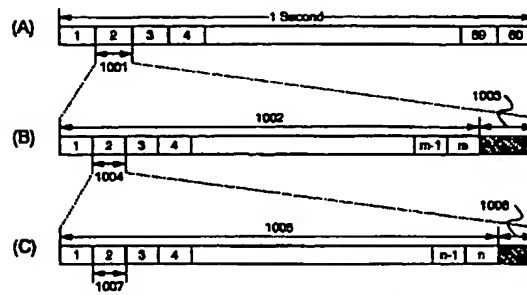




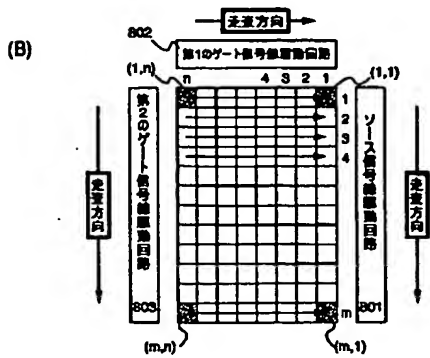
【図8】



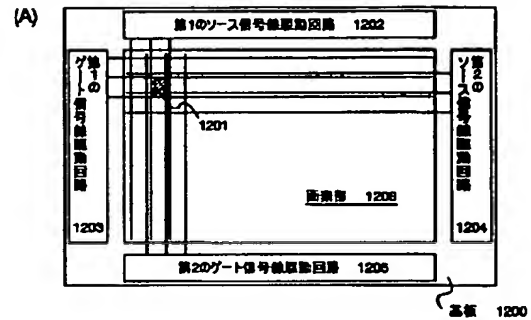
【図10】



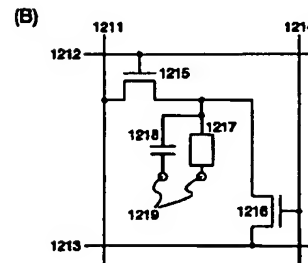
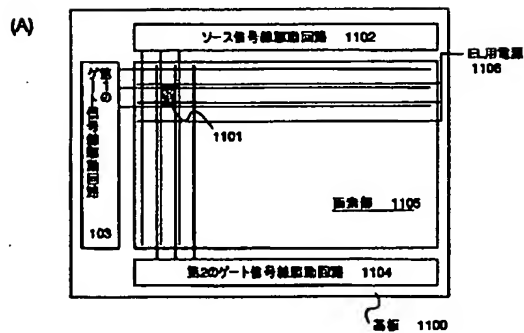
1001 : フレーム期間  
1002 : ライン走査期間  
1003 : 垂直同期期間  
1004 : 1水平同期  
1005 : フットサンプリング期間  
1006 : 水平同期期間  
1007 : 1フットサンプリング期間



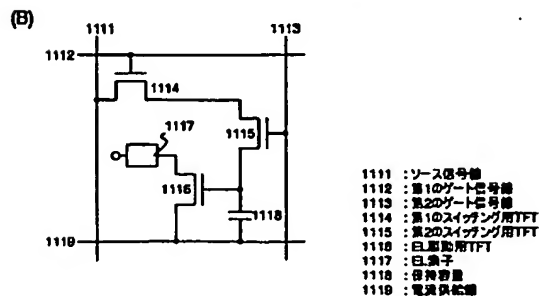
【図12】



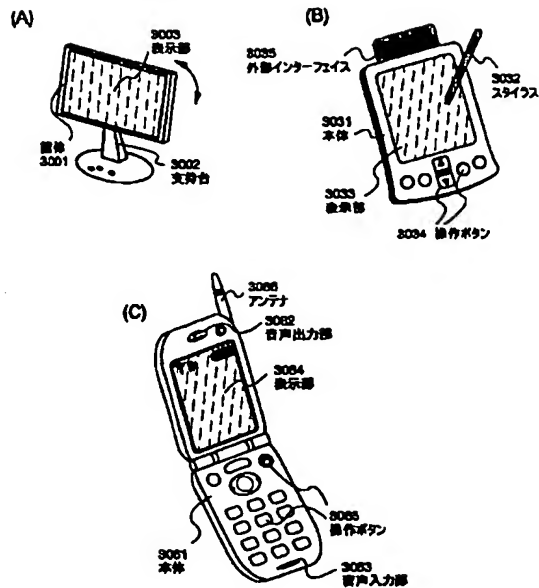
【図11】



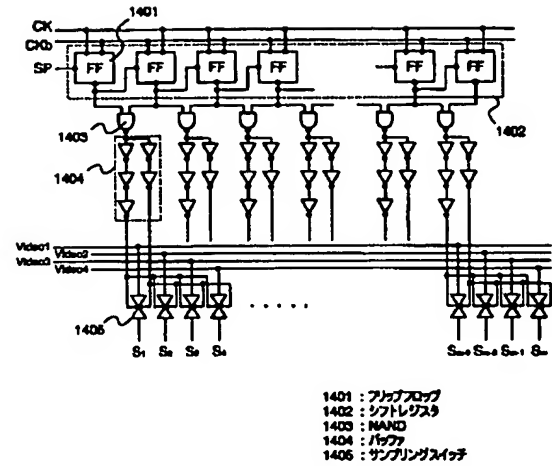
1211 : 第1のソース信号線  
1212 : 第1のゲート信号線  
1213 : 第2のソース信号線  
1214 : 第2のゲート信号線  
1215 : 第1の画素TFT  
1216 : 第2の画素TFT  
1217 : 液晶素子  
1218 : 保持容量  
1219 : 対向電極



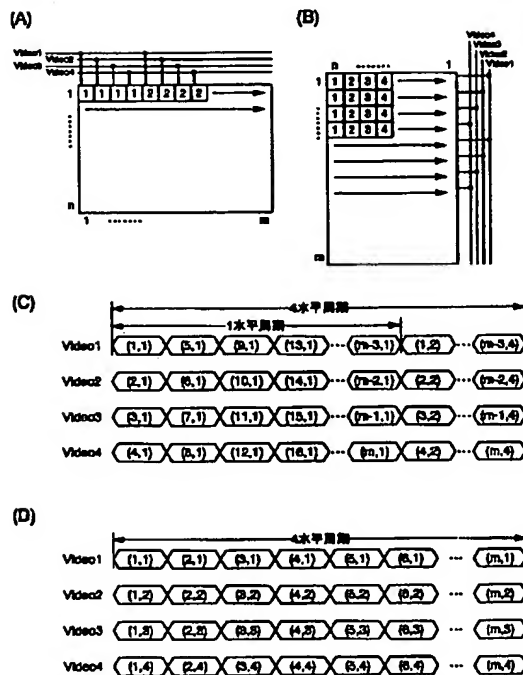
【図13】



【図14】



【図15】

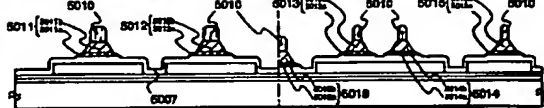


【図16】

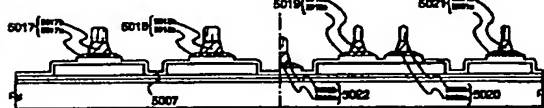
(A) 半導体層の形成/絶縁層の形成/第1, 第2の導電膜の形成



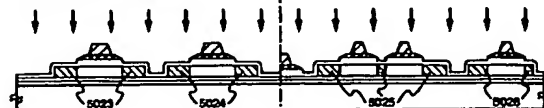
(B) 第1のエッチング処理



(C) 第1のエッチング処理

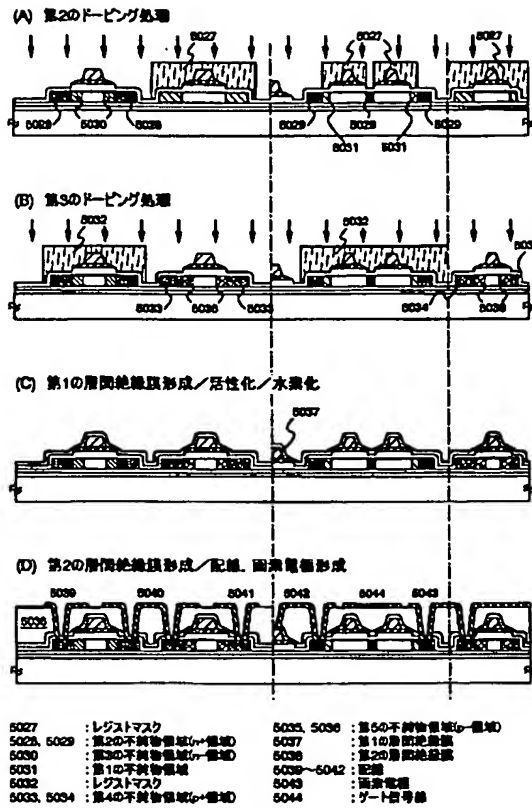


(D) 第1のドーピング処理

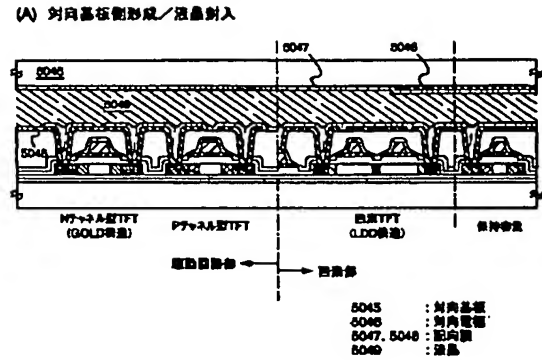


5001 : 基板  
5002 : 下地膜  
5003~5006 : 半導体層  
5007 : ゲート絶縁膜  
5008 : 第1の導電膜  
5009 : 第2の導電膜  
5010 : レジストマスク  
5011~5016 : 第1の形状の導電膜  
5017~5022 : 第2の形状の導電膜  
5023~5028 : 第1の不具合領域(欠陥域)

【図17】



【図18】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

識別記号

F I

テマコード (参考)

G 0 9 F 9/00

3 4 8

G 0 9 F 9/00

3 4 8 C 5 C 0 9 4

9/30

3 3 8

9/30

3 3 8 5 F 1 1 0

G 0 9 G 3/30

G 0 9 G 3/30

J 5 G 4 3 5

3/36

3/36

H 0 1 L 29/786

H 0 4 N 5/66

1 0 2 B

H 0 4 N 5/66

1 0 2

H 0 1 L 29/78

6 1 2 B

Fターム(参考) 2H092 JA24 JB42 MA43 NA25 PA06  
2H093 NA16 NC22 NC34 NC40 ND49  
ND57 NE07  
5C006 AB05 AF22 BB14 BB16 BC02  
BC03 BC06 BC20  
5C058 AA09 AA12 AB01 AB06 BA01  
BA03 BA35 BB17  
5C080 AA06 AA10 BB05 DD21 EE23  
FF11 JJ01 JJ02 JJ04 JJ06  
KK07 KK47  
5C094 AA15 BA03 BA43 CA19 DB01  
DB04 EA04 EA07 EB02  
5F110 AA30 BB02 BB04 CC02 DD02  
DD15 DD17 EE01 EE02 EE03  
EE04 EE06 EE09 EE14 EE15  
EE23 FF04 FF30 FF35 GG01  
GG02 GG13 GG25 GG32 GG34  
GG43 GG45 GG47 GG51 GG58  
HJ01 HJ04 HJ12 HJ23 HL02  
HL03 HL04 HM15 NN03 NN05  
NN23 NN24 NN27 NN35 NN72  
NN73 NN78 PP01 PP02 PP03  
PP04 PP05 PP10 PP13 PP29  
PP34 PP35 QQ04 QQ09 QQ11  
QQ23 QQ25 QQ28  
5G435 AA18 BB05 BB12 CC09 EE33  
EE37 GG21